

DOCKET NO.: 212771US22PCT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: KAWASAKI Masashi et al.

SERIAL NO.: NEW U.S. PCT APPLICATION

FILED: HERewith

INTERNATIONAL APPLICATION NO.: PCT/JP00/01736

INTERNATIONAL FILING DATE: March 22, 2000

FOR: SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicant claims as priority:

<u>COUNTRY</u>	<u>APPLICATION NO</u>	<u>DAY/MONTH/YEAR</u>
Japan	11-82043	25 March 1999

Certified copies of the corresponding Convention application(s) were submitted to the International Bureau in PCT Application No. PCT/JP00/01736.

Respectfully submitted,
OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



22850

(703) 413-3000
Fax No. (703) 413-2220
(OSMMN 1/97)

Richard A. Neifeld
Attorney of Record
Registration No. 35,299
Surinder Sachar
Registration No. 34,423

09/926186
PCT/JP00/01736

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

22.03.00	
REC'D 19 MAY 2000	
WIPO	PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日

Date of Application:

1999年 3月25日

出 願 番 号

Application Number:

平成11年特許願第082043号

出 願 人

Applicant (s):

科学技術振興事業団

#7
15 Mar 02
P. Tallo

PRIORITY

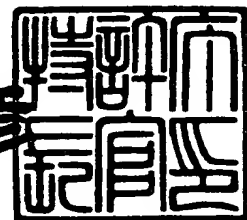
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年 4月28日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3030317

【書類名】 特許願
 【整理番号】 P0099JP
 【提出日】 平成11年 3月25日
 【あて先】 特許庁長官殿
 【国際特許分類】 H01L 27/00
 【発明者】

【住所又は居所】 神奈川県相模原市大野 4-2-5-116

【氏名】 川崎 雅司

【発明者】

【住所又は居所】 宮城県仙台市泉区桂 3-33-10

【氏名】 大野 英男

【発明者】

【住所又は居所】 神奈川県大和市中央林間 3-24-14-103

【氏名】 大友 明

【特許出願人】

【識別番号】 396020800

【氏名又は名称】 科学技術振興事業団

【代理人】

【識別番号】 100107010

【弁理士】

【氏名又は名称】 橋爪 健

【手数料の表示】

【予納台帳番号】 054885

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体デバイス

【特許請求の範囲】

【請求項1】

LnABO_4 又は $\text{LnAO}_3(\text{BO})_n$

(Ln: Sc, In, Lu, Yb, Tm, Ho, Er, Y等の希土類元素、

A: Fe, Ga, Al、

B: Mn, Co, Fe, Zn, Cu, Mg, Cd)

を基本構造とするいずれかの材料を用いた基板と、

酸化亜鉛 ZnO 、酸化マグネシウム亜鉛 $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ 、酸化カドミウム
亜鉛 $\text{Cd}_x\text{Zn}_{1-x}\text{O}$ 、酸化カドミウム CdO 等のII族酸化物のいずれかの材
料を用い、前記基板上に形成された半導体層と

を備えた半導体デバイス。

【請求項2】

前記基板の材料として、

ScAlMgO_4 、 ScAlZnO_4 、 ScAlCoO_4 、 ScAlMnO_4 、

ScGaZnO_4 、 ScGaMgO_4 、又は、

$\text{ScAlZn}_3\text{O}_6$ 、 $\text{ScAlZn}_4\text{O}_7$ 、 $\text{ScAlZn}_7\text{O}_{10}$ 、又は、

$\text{ScGaZn}_3\text{O}_6$ 、 $\text{ScGaZn}_5\text{O}_8$ 、 $\text{ScGaZn}_7\text{O}_{10}$ 、又は、

$\text{ScFeZn}_2\text{O}_5$ 、 $\text{ScFeZn}_3\text{O}_6$ 、 $\text{ScFeZn}_6\text{O}_9$ のいずれかを用

い、

前記半導体層の材料として、 ZnO を用いたことを特徴とする請求項1に記載
の半導体デバイス。

【請求項3】

前記基板の材料として、

$\text{ScAlO}_3(\text{ZnO})_n$ 、 $\text{ScFeO}_3(\text{ZnO})_n$ 、 $\text{ScGaO}_3(\text{ZnO})_n$ 、 $\text{InFeO}_3(\text{ZnO})_n$ 、 $\text{InGaO}_3(\text{ZnO})_n$ 、 $\text{InAlO}_3(\text{ZnO})_n$ 、 $\text{YbAlO}_3(\text{ZnO})_n$ 又は $\text{LuAlO}_3(\text{ZnO})_n$ のいずれ

かを用い、

前記半導体層の材料として、ZnOを用いたことを特徴とする請求項1に記載の半導体デバイス。

【請求項4】

ScAlBeO_4 、 ScBMgO_4 又は ScBBBeO_4 、又は、 InAO_3 (MgO)_n (ここで、A: Fe, Ga, Al) を基本構造とするいずれかの材料を用いた基板と、

GaN、AlN、InGaN又はAlInNのいずれかの材料を用い、前記基板上に形成された半導体層と
を備えた半導体デバイス。

【請求項5】

前記基板と前記半導体層との間に、さらに、前記半導体層と同じ組成又は構造の材料をベースとして不純物をわずかにドーピングした又はドーピングしない絶縁性材料を用いた緩衝層をさらに備えたことを特徴とする請求項1乃至4のいずれかに記載の半導体デバイス。

【請求項6】

前記半導体層としてZnOを用い、

前記緩衝層として、1価の価数を取りうる元素又はV族元素をわずかにドーピングした絶縁性ZnO等の絶縁性材料、又はドーピングしない純粋な絶縁性ZnO等の絶縁性半導体を用いたことを特徴とする請求項5に記載の半導体デバイス。

【請求項7】

前記基板と同じ基本構造の材料を用いた絶縁層をさらに備えたことを特徴とする請求項1乃至6のいずれかに記載の半導体デバイス。

【請求項8】

前記半導体層と同じ組成又は構造の材料をベースとして用い、前記半導体層上に形成された発光層と、

前記半導体層と同じ組成又は構造の材料をベースとして用い、前記発光層上に形成され、前記半導体層と異なるチャンネルの第2の半導体層と
をさらに備えたことを特徴とする請求項1乃至7のいずれかに記載の半導体デバイス。

【請求項 9】

前記発光層は、(Mg, Zn)O 及び ZnO の多層構造、(Zn, Cd)O 及び ZnO の多層構造、又は、(Mg, Zn)O 及び (Zn, Cd)O の多層構造のいずれかを用いたことを特徴とする請求項 8 に記載の半導体デバイス。

【請求項 10】

前記半導体層は絶縁性半導体であり、

前記半導体層上に形成された入力電極及び出力電極とをさらに備え、

フィルタ特性を有することを特徴とする請求項 1 乃至 7 のいずれかに記載の半導体デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体デバイスに係り、特に、II 族酸化物又は III 族窒化物を薄膜材料とし、これと格子整合性の良い酸化物単結晶を基板とすることで、高品質の単結晶薄膜を形成した半導体素子、及び、その発光素子及び表面弾性波素子 (SAW, Surface Acoustic Wave) 等への応用に関する。

【0002】

【従来の技術】

従来より、半導体デバイスにおいて、例えば、トランジスタとしては、アモルファスシリコンや多結晶シリコン等を用いた薄膜トランジスタが用いられている。また、最近、半導体デバイスを製造するための薄膜材料として、酸化亜鉛 (ZnO) が、注目されており、紫外光発光素子や透明トランジスタなど、光・電子デバイスとして既存の応用を置き換えるだけでなく、全く新しい用途を開拓しつつある。現在、ZnO を用いた発光素子やトランジスタを作製する際には、基板としてはサファイアが用いられる。

【0003】

また、従来より、半導体デバイスを作製するに当たり、基板上に高品質な薄膜を形成することが、切望されている。ここで、薄膜の結晶性 (コヒーレンシ) の品質を決定する要因としては、次のような点がある。

(a) 結晶粒サイズ

(b) 格子面間隔のゆらぎ (歪み)

(c) 格子面方向のゆらぎ (配向性、モザイクネス)

すなわち、一般に、高品質な結晶とは、(a) 結晶粒サイズが大きく、(b) 格子面間隔のゆらぎが小さく、(c) モザイクネスが小さいものである。

【0004】

【発明が解決しようとする課題】

しかしながら、従来のサファイア等を用いた基板では、薄膜材料である ZnO との格子不整合が 18% 程度と大きいものであった。そのため、従来の薄膜においては、粒界が存在したり、モザイクネスが大きくなるなど、高品質の単結晶薄膜を形成することが困難であった。また、従来、デバイス性能については、本来 ZnO がもつ性能を十分に発揮することができず、必ずしも最適な基板を作製することができなかった。

【0005】

本発明は、以上の点に鑑み、 ZnO 等の II 族酸化物、又は、 GaN 等の III 族窒化物等の薄膜材料と、格子整合の極めて良い酸化物結晶を基板として使用することにより、薄膜材料の質を飛躍的に向上し、バルク単結晶に匹敵する高品質の薄膜を作成し、特性の優れた半導体デバイスを作成することを目的とする。また、本発明は、粒界がほとんど無く、粒サイズが大きく、格子面間隔のゆらぎも小さく、モザイクネスも極めて小さい、殆ど単結晶に近い高品質の ZnO 、 GaN 等の半導体薄膜を形成することを目的とする。

【0006】

本発明は、例えば、 $ScAlMgO_4$ (SCAM) 結晶等が ZnO に対して格子不整合が小さいことから (約 0.13%)、その基板上にほぼ単結晶の ZnO 薄膜を作製することを目的とする。また、本発明は、従来のようなサファイア基板等を用いた場合に比べて、電子移動度が高く、 ZnO 単結晶に近い、SCAM 基板上の ZnO を形成することを目的とする。

また、本発明は、透明半導体材料である ZnO と、透明高絶縁性の SCAM 基板とを組み合わせることで、透明な半導体デバイスを作製することができるとと

もに、ヘテロ構造デバイスの性能を著しく向上することを目的とする。

【0007】

また、本発明は、トランジスタ等に適用することで、スイッチング速度を高速とすることを目的とする。また、本発明は、電界効果トランジスタ等に適用することで、電界を印加したときの空乏層幅が広がるので、スイッチング用ゲート電圧が低くて済むようにすることを目的とする。また、本発明は、発光素子に適用することで、発光効率を向上することを目的とする。

本発明は、電界効果トランジスタやバイポーラトランジスタ、GaNベースの窒化物青色レーザを含む発光素子(LED、レーザ)、表面弾性波素子(SAW)、センサ等の各種電子デバイスに、適用することで、それらの性能を向上させることを目的とする。

【0008】

【課題を解決するための手段】

本発明の第1の解決手段によると、



(Ln: Sc, In, Lu, Yb, Tm, Ho, Er, Y等の希土類元素、

A: Fe, Ga, Al、

B: Mn, Co, Fe, Zn, Cu, Mg, Cd)

を基本構造とするいずれかの材料を用いた基板と、

酸化亜鉛 ZnO 、酸化マグネシウム亜鉛 $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ 、酸化カドミウム亜鉛 $\text{Cd}_x\text{Zn}_{1-x}\text{O}$ 、酸化カドミウム CdO 等のII族酸化物、又は、窒化ガリウム GaN 、窒化アルミニウム AlN 、窒化インジウム InN 等のIII族窒化物のいずれかの材料を用い、前記基板上に形成された半導体層とを備えた半導体デバイスを提供する。

【0009】

さらに、本発明は、発光素子及びSAW等の光・電子デバイスへ応用した半導体デバイスを提供する。

【0010】

【発明の実施の形態】

(1) 電解効果トランジスタ (Field Effect Transistor、FET)

図 1 に、本発明に係る半導体デバイスの第 1 の実施の形態の断面図を示す。図 1 (A) に示されるように、第 1 の実施の形態の半導体デバイスは、FET に関するものであり、チャネル層 (半導体層) 11、ソース 12、ドレイン 13、ゲート 14、ゲート絶縁層 15、基板 16 を備える。基板 16 の上には、チャネル層 11 が形成される。チャネル層 11 には、ゲート絶縁層 15、ソース 12 及びドレイン 13 が形成される。ゲート絶縁層 15 の上には、ゲート 14 が形成される。

【0011】

図 1 (B) には、第 1 の実施の形態の変形例が示される。このトランジスタは、基板 16 の上に、チャネル層 11 が形成される。さらに、チャネル層 11 には、ソース 12 及びドレイン 13 がオーミック接合により、ゲート 14 がショットキー接合により、それぞれ形成される。この例では、図 1 (A) と比べてゲート絶縁層 15 がないため、ソース 12 及びドレイン 13 とゲート 14 との間は適当な隙間が設けられる。

【0012】

以下に、本発明の主な特徴である各構成要素の材料について説明する。

まず、チャネル層 11 は、FET の構造により、適宜の導電性又は絶縁性の半導体で形成される。チャネル層 11 の材料としては、周知の半導体材料の他にも、例えば、酸化亜鉛 ZnO 、酸化マグネシウム亜鉛 $Mg_x Zn_{1-x}O$ 、酸化カドミウム亜鉛 $Cd_x Zn_{1-x}O$ 、酸化カドミウム CdO 等の II 族酸化物のいずれかを用いることができる。また、チャネル層 11 としては、窒化ガリウム GaN 、窒化アルミニウム AlN 、窒化インジウム InN 、 $InGaN$ 又は $AlInN$ 等の III 族窒化物を用いることもできる。チャネル層 11 は、ドーパ無し、純粋又は純粋に近い薄膜材料を用いる。なお、チャネル層 11 として、ドーパ有りのものを用いても良い。また、これらの薄膜材料は、n 形又は p 形のいずれの形でも良い。

【0013】

図 2 に、チャネル層に用いられる代表的な薄膜材料の一例とその格子定数を表

す図を示す。一例として、図示の各材料を対象として説明するが、これに限定されるものではない。

【0014】

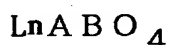
つぎに、基板 16 としては、絶縁性材料が用いられる。本発明では、基板 16 に、チャネル層 11 の格子定数と近い格子定数を持つような、整合性の良い材料を用いることで、質の高いチャネル層 11 を形成するようにした。一例として、チャネル層 11 に ZnO が用いられた場合、基板 16 として、最も高性能な材料のひとつとして、例えば、酸化亜鉛単結晶又は $ScAlMgO_4$ 単結晶等を用いると、その基板上にチャネル層 11 又はソース 12 並びにドレイン 13 等を高品質でエピタキシャル成長させることが可能である。

【0015】

以下に、チャネル層 11 に用いられる薄膜材料の格子定数と、整合性の高い（即ち、その格子定数と近い格子定数を持つ）基板 6 の材料について組合せの例を説明する。

まず、チャネル層 11 の薄膜材料が ZnO 等の II 族酸化物の場合を説明する。例えば、 ZnO の場合は、以下のような基板材料を選択することができる。

第 1 に、基板 16 としては、例えば、以下のような $LnABO_4$ を基本構造とする材料（ $LnABO_4$ の組成をもち、かつ、 $YbFe_2O_4$ 構造をもつ結晶群）を用いることができる。すなわち、



ここで、 $Ln: Sc, In, Lu, Yb, Tm, Ho, Er, Y$ 等の希土類元素

$A: Fe, Ga, Al$

$B: Mn, Co, Fe, Zn, Cu, Mg, Cd$

このような基板材料の格子定数は、約 $3.2 \sim 3.5 \text{ \AA}$ である。このような基本構造をとる材料としては、例えば、 $ScAlMgO_4$ などがある。

【0016】

図 3 に、 $LnABO_4$ についての格子定数とイオン半径との関係図を示す。横軸は、 Ln 酸化物の配位数 6 のイオン半径であり、縦軸は、格子定数である。図示されるように、格子定数について分析すると、 Ln の元素のイオン半径（原子の大き

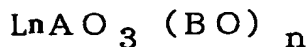
さ) が、大きくなっていくと、 LnABO_4 の格子定数も増えることがわかる。また、 ZnO 、 GaN 及び AlN の格子定数が横線 (破線) で図示され、この格子定数に近い LnABO_4 を基本構造とする酸化物が示される。

【0017】

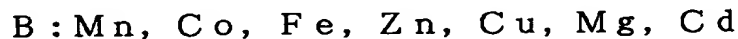
また図4に、 LnABO_4 を基本構造とする基板材料の一例とその格子定数を表す図を示す。これは、一例として、比較的小さな格子定数を持つ材料として、 ScAlMgO_4 、 ScAlZnO_4 、 ScAlCoO_4 、 ScAlMnO_4 、 ScGaZnO_4 、 ScGaMgO_4 を示した。図2に示したように、 ZnO の格子定数は 3.249 \AA であるから、図6に示されたような基板材料のいずれかを用いると、格子定数の整合性が良いものとなる。なお、整合性の良い基板材料としては、図3に示されるように、 ScAlCuO_4 、 InAlMgO_4 等も挙げられ、また、これらに限定されるものではない。

【0018】

さらに、基板16としては、 ZnO にマッチさせようとする、以下のような ZnO を添加した酸化物材料も用いることもできる。一般式で表すと、以下のような $\text{LnAO}_3(\text{BO})_n$ を基本構造とする材料 ($\text{LnAO}_3(\text{BO})_n$ の組成をもち、かつ、 $\text{Yb}_2\text{Fe}_3\text{O}_7$ 構造をもつ結晶群) を適宜用いることができる。すなわち、



ここで、 Ln : Sc , In , Lu , Yb , Tm , Ho , Er , Y 等の希土類元素



このように、 LnABO_4 構造に ZnO を混入していくと、 ZnO が格子の隙間に入ることにより、 ZnO の格子定数と近い物質を合成することができる。 n を無限大にすると、格子定数は、 3.249 (ZnO の格子定数) に限りなく近づく。

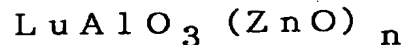
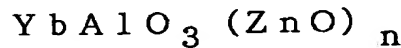
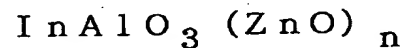
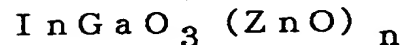
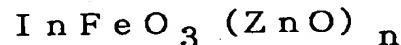
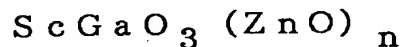
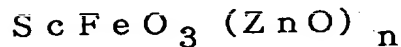
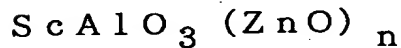
【0019】

図5に、 $\text{LnAO}_3(\text{BO})_n$ についての格子定数とイオン半径との関係図を示す。横軸は、 Ln 酸化物の配位数6のイオン半径であり、縦軸は、格子定数である

。図3と同様に、格子定数について分析すると、Lnの元素のイオン半径（原子の大きさ）が、大きくなっていくと、 $\text{LnAlO}_3(\text{BO})_n$ の格子定数も増えることがわかる。また、 ZnO 、 GaN 及び AlN の格子定数が横線（破線）で図示され、この格子定数に近い $\text{LnAlO}_3(\text{BO})_n$ を基本構造とする酸化物が示される。

【0020】

図示されるように、具体的には、例えば、



等を用いると格子整合性が良い。

さらに、この中でも、例えば、 $\text{ScAlZn}_3\text{O}_6$ 、 $\text{ScAlZn}_4\text{O}_7$ 、 $\text{ScAlZn}_7\text{O}_{10}$ 、又は、 $\text{ScGaZn}_3\text{O}_6$ 、 $\text{ScGaZn}_5\text{O}_8$ 、 $\text{ScGaZn}_7\text{O}_{10}$ 、又は、 $\text{ScFeZn}_2\text{O}_5$ 、 $\text{ScFeZn}_3\text{O}_6$ 、 $\text{ScFeZn}_6\text{O}_9$ 等の各材料を用いることができる。

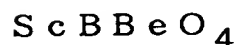
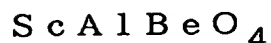
【0021】

第2に、チャネル層11の薄膜材料が GaN 、 AlN 等のIII族窒化物の場合を説明する。例えば、図2に示したように、 GaN 及び AlN の格子定数は、それぞれ3.112Å及び3.189Åである。図3及び図4に例示された LnABO_4 構造をとる酸化物結晶は、格子定数が小さくても3.2Å程度であるから、 GaN 及び AlN の格子定数にマッチし得る結晶としては、例えば、その中でも最小の ScAlMgO_4 、 ScAlZnO_4 等が挙げられる。

【0022】

また、図3～図5に例示した材料の他に、格子定数が比較的小さく、 GaN 及

び AlN 等に整合性が良い物質としては、以下のものが挙げられる。すなわち、



等である。

また、上述のような一般式 $\text{LnAO}_3 (\text{BO})_n$ において、 B として Mg を選択した材料が整合性が良い。すなわち、この基板は、上述のような酸化物基板材料に MgO を添加したものである。

【0023】

つぎに、ゲート絶縁層 15 としては、適宜の絶縁性材料が用いられる。ゲート絶縁層 15 は、チャンネル層 11 の材料と格子マッチングの良い高絶縁性の材料を用いることができる。上述のように、チャンネル層 11 の薄膜材料に応じて、基板 16 について格子定数の整合性の良い材料を用いたのと同様に、適宜の格子整合性の良い絶縁層 15 を選択することができる。例えば、 ZnO をチャンネル層 11 とした場合、例えば、 ScAlMgO_4 等をゲート絶縁層 15 として用いることができる。また、ゲート絶縁層 15 としては、例えば、1 価の価数を取りうる元素又は V 族元素をドープした絶縁性 ZnO 等の透明絶縁性材料を用いることもできる。1 価の価数を取りうる元素としては、例えば、I 族元素 (Li , Na , K , Rb , Cs)、 Cu , Ag , Au 等がある。V 族元素としては、 N , P , As , Sb , Bi 等がある。こうすることで、両方の層は、全ての面内の格子定数が 1% 以内で一致することになり、相互にエピタキシャル成長が可能であり、格子整合性のよい半導体デバイスを得ることができる。

また、ゲート絶縁層 15 に、強誘電性の材料を用いることにより、トランジスタ自体がメモリ機能を有するようにすることもできる。強誘電性の材料として、例えば、 $\text{Zn}_{1-x}\text{Li}_x\text{O}$ 、 $\text{Zn}_{1-x}(\text{Li}_y\text{Mg}_{x-y})\text{O}$ 等を用いることができる。なお、ゲート絶縁層 15 としては、例えば、ガラス、ビニール、プラスチック等の絶縁体を用いても良い。ゲート絶縁層 15 としては、その他にも、 Al_2O_3 , MgO , CeO_2 , SiO_2 、等の絶縁性酸化物を用いることができる。

【0024】

以上の説明では、ゲート絶縁層 15 について述べたが、他の適宜の絶縁層を形成する場合にも、同様の材料を用いることができる。これにより、格子整合性の良い半導体デバイスを製造することが可能となる。

【0025】

また、ソース 12、ドレイン 13 又はゲート 14 は、適宜の電極材料を用いることができる。電極材料としては、チャンネル層 11 と同じ材料をベースとして、適宜不純物をドーピングした又はドーピングしない導電性材料を用いることができる。ZnO 等をベースとする電極としては、例えば、III 族元素 (B, Al, Ga, In, Tl)、VII 族元素 (F, Cl, Br, I)、I 族元素 (Li, Na, K, Rb, Cs)、V 族元素 (N, P, As, Sb, Bi) のいずれかをドーピングした導電性 ZnO、又は各種元素をドーピングしない導電性 ZnO 等が用いられる。ここで、これらの元素をドーピングする場合、ドーピング量は適宜設定することができる (例えば、高濃度に n 形をドーピングした n^{++} -ZnO 等を用いることができるが、これに限定されない)。このようなチャンネル層 11 等と同じ構造・組成の材料をベースとすることで、格子定数の整合性の良い高品質な半導体デバイスを作製することができる。また、その他に、例えば、Al、Cu 等の金属や、高ドーピングした半導体ポリシリコン等を用いることができる。さらに、ソース 12、ドレイン 13 又はゲート 14 としては、その他に、 In_2O_3 、 SnO_2 、 $(\text{In-Sn})\text{O}_x$ などの透明導電体を用いることもできる。

【0026】

(2) 緩衝層のある基板を備えた FET

図 6 に、本発明に係る半導体デバイスの第 2 の実施の形態の断面図を示す。図 6 (A) に示されるように、第 2 の実施の形態は、FET に関するものあり、ソース 12、ドレイン 13、ゲート 14、ゲート絶縁層 15、チャンネル層 17、緩衝層 18、基板 16 を備える。

【0027】

チャンネル層 11 が、ドーピングしていない純粋な場合又はわずかに不純物がドーピングされた場合には、図 1 のような構成により、基板 16 とチャンネル層 11 の格子定数

の整合性は良いものとなる。一方、この第2の実施の形態は、チャネル層17に、不純物がかなりの量（例えば、10～20%程度等）ドーピングされたものを用いる場合等について、さらに格子定数の整合性を高めることができるようにしたものである。ここでは、そのために、緩衝層18を基板16とチャネル層17の間に設けるようにした。

【0028】

チャネル層17は、第1の実施の形態と同様の組成の材料が用いられるが、ここでは、特に、不純物が比較的大量にドーピングされたものを用いることができる。また、基板16については、第1の実施の形態と同様に、チャネル層17に応じて、整合性の高い材料が適宜用いられる。緩衝層17としては、II族酸化物又はIII族窒化物をチャネル層17として用いた場合、それと同じ組成でドーピング量をわずかとした又はドーピングしない絶縁性材料を用いることができる。例えば、チャネル層17として例えばZnOを用いた場合、緩衝層17は、1価の価数を取りうる元素又はV族元素をわずかにドーピングした絶縁性ZnO等の絶縁性材料、又はドーピングしない純粋な絶縁性ZnO等の絶縁性半導体を用いることができる。1価の価数を取りうる元素としては、例えば、I族元素（Li, Na, K, Rb, Cs）、Cu, Ag, Au等がある。V族元素としては、N, P, As, Sb, Bi等がある。第2の実施の形態においても、第1の実施の形態で説明したように、チャネル層17と、その薄膜材料と同様の組成の材料を用いた緩衝層18と、基板16との各々の材料の組み合わせは、格子定数の整合性を考慮して適宜のものを選択することができる。

【0029】

（3）半導体デバイスの特性

以下に、本発明の好適な例として、第1の実施の形態のようなScAlMgO₄基板上形成されたZnO薄膜と、従来のようなサファイア基板上に形成されたZnO薄膜との特性を比較して説明する。この例では、レーザ分子線エピタキシ法又はパルスレーザ堆積法を用い、基板温度300～1000度で、ZnOを形成したものである。

【0030】

図 7 に、酸化亜鉛薄膜及び酸化亜鉛バルク単結晶の電気特性の比較説明図を示す。この図では、 ScAlMgO_4 基板上及びサファイア基板上 ($\alpha\text{-Al}_2\text{O}_3$ 基板上) にそれぞれ酸化亜鉛薄膜が形成された場合と、水熱合成法で作成された酸化亜鉛バルク単結晶の電気特性が比較される。電気特性としては、移動度 μ と、室温での電子又はキャリア濃度を示すドナー濃度 N_D との関係が示される。なお、抵抗率 ρ と、移動度 μ 及びドナー濃度 N_D との関係は、

$$\rho = 1 / (e \mu N_D)$$

となる。但し、 e は、電荷素量である。

【0031】

ZnO 本来の物性を表すものとして、バルク単結晶の特性が示される。バルク ZnO 単結晶は、移動度が大で、ドナー濃度が小さく、良質の特性をもつ。このようなバルク単結晶の特性に近づけることが、本発明の目標のひとつである。一方、従来のサファイア基板上に ZnO を形成した場合は、移動度が小さく、ドナー濃度が大きい。これに対し、本発明の ScAlMgO_4 基板上に ZnO を形成した場合は、従来と比較して、移動度が大で、ドナー濃度が小さく、 ZnO バルク単結晶に近い良質な特性を得ることができる。さらに、この図では、本発明ではもともと混入されるドナー濃度が小さいことが示されるので、ドナー又はアクセプタの添加量を調整することによって、ドナー濃度及びアクセプタ濃度の制御範囲・設定範囲が大きくとることができる。本発明によると、図示のように、キャリア濃度が 10^{15} cm^{-3} 程度、電子移動度が $60 \sim 70 \text{ cm}^2 / \text{Vs}$ 程度の薄膜が、再現性良く形成することができる。なお、これらの特性の違いは、欠陥、不純物、粒界等が原因と考えられる。

【0032】

そして、この図から判断されるように、本発明をトランジスタ等に適用すると、スイッチング速度を高速とすることができる。また、本発明を電界効果トランジスタ等に適用すると、電界を印加したときの空乏層幅が広がるので、スイッチング用ゲート電圧が低くて済む。また、本発明を、発光素子に適用すると、発光効率を向上することができる。

【0033】

図 8 に、酸化亜鉛薄膜及び酸化亜鉛バルク単結晶の X 線逆格子マッピングの比較説明図を示す。この図では、 ScAlMgO_4 基板上及びサファイア基板上にそれぞれ ZnO 薄膜が形成された場合と、水熱合成法で作成された酸化亜鉛バルク単結晶の作成された ZnO 薄膜が形成された場合の X 線逆格子マッピングが示される。また、この図では、 z 方向の格子定数の逆数 Q_z (縦軸) と、 x 方向の格子定数の逆数 Q_x (横軸) との逆格子空間が示される。図示の矢印ような方向で、(a) 粒サイズの逆数、(b) 格子面間隔のゆらぎ、(c) 格子面方向のゆらぎ (モザイクネス) が、それぞれ表される。また、ここでは、一例として非対称回折面として、 ZnO (114) についての特性を示すが、回折面 (115)、(104)、(105) の各々についても同様な結果を得ることができる。

【0034】

図示のように、本発明によると、従来に比べ、(a) 粒サイズが大きく、(b) 格子面間隔のゆらぎが小さく、且つ、(c) 格子面方向のゆらぎ (モザイクネス) が小さいことがわかる。そして、本発明によると、従来に比べ、結晶性が大幅に改善され、モザイクネスや粒サイズ等がバルク単結晶と同様な単結晶 ZnO 薄膜を得ることができる。また、図から、本発明において、格子定数がバルクに近づいたこと、及び、回折ピークがシャープになっている点がわかる。

【0035】

図 9 に、X 線ロックングカーブの半値幅の基板温度依存性についての比較説明図を示す。この図では、 ScAlMgO_4 基板上及びサファイア基板上の ZnO について、半値幅と成膜温度との関係が示される。

一般に、X 線ロックングカーブの半値幅は、格子面方向のゆらぎ (モザイクネス) 及び粒サイズを表すものである。すなわち、本発明は、X 線ロックングカーブの半値幅が、従来例に比べて小さいので、これらについての特性が良いことがわかる。例えば、本発明のように ScAlMgO_4 基板を用いると、成膜温度が 300°C 程度の低温で作成した ZnO 薄膜であっても、従来のサファイア基板上に 1000°C で堆積した薄膜と同程度のモザイクネス及び粒サイズとなり、非常に高い結晶性の薄膜を得ることができることがわかる。一般に、高い温度で薄膜を形成すると、層間に拡散が起こる場合があるが、本発明は、これを減少又は防

止することができる。

【0036】

図10に、薄膜表面の平坦さについての比較説明図を示す。図より、本発明による ScAlMgO_4 基板上の ZnO 薄膜表面は、従来のサファイア基板上の ZnO 薄膜表面に比べて、表面の凹凸が格段に小さいことがわかる（例えば、精密な計測によると $1/100$ 程度）。本発明では、 ZnO 薄膜表面は、 0.26 nm （ c 軸長の $1/2$ ）又は 0.52 nm （ c 軸長）のステップと、表面が原子レベルで平坦な薄膜を形成できる。

【0037】

図11に、窒素濃度の基板温度依存性についての比較説明図を示す。この図は、本発明の ScAlMgO_4 基板上及び従来のサファイア基板上に窒素ドーピングした ZnO 薄膜を形成した場合について、窒素濃度と、成膜温度の関係を示す。本発明によると、従来例に比べ、窒素ドーピング量が2倍程度向上する（即ち、窒素がドーピングしやすい）ことができる。このことは、従来と同程度のドーピング量を得るために、約 50°C 低い成膜温度で、 ZnO 薄膜を形成することができること、即ち、ドーピング特性が向上することを表す。なお、窒素ドーピング特性は、デバイスのアクセプタとしての特性に相当する。

【0038】

（3）他のFET

図12に、本発明に係る半導体デバイスの第3の実施の形態の断面図を示す。図12（A）に示される第3の実施の形態は、FETに関するもので、チャンネル層21、ソース22、ドレイン23、ゲート24、ゲート絶縁層25、基板26を備える。基板26の上にソース22及びドレイン23が形成される。これらを覆うように、チャンネル層21が形成される。チャンネル層21には、さらに、ゲート絶縁層25が形成される。ゲート絶縁層25の上には、ゲート24が形成される。ここでは、ゲート24、ゲート絶縁層25及びチャンネル層21が、MIS構造となっている。

【0039】

図12（B）は、第3の実施の形態の変形であり、図12（A）に示されたも

のとは、ゲート絶縁層 25 が形成されておらず、ゲート 24 とチャネル層 21 とがショットキー接合の構造となっている。図 12 (A) のようにゲート絶縁層 25 を有する場合は、ゲートの印加電圧の制限が少ない。これに対し、図 12 (B) のようにゲート絶縁層 25 を有しない場合は、ゲートソース間及びゲートドレイン間の絶縁耐圧が低くなる。また、この場合は、製造プロセスは簡単となる。

これらの構成においても、第 1 及び第 2 の実施の形態で説明したように、チャネル層 21 又はソース 22、ドレイン 23 の薄膜材料と、基板 26 又はゲート絶縁層 25 の材料とは、両者の格子定数が整合するように、適宜の組み合わせを用いることができる。

【0040】

図 13 に、本発明に係る半導体デバイスの第 4 の実施の形態の断面図を示す。第 4 の実施の形態は、FET に関するものであり、チャネル層 31、ソース 32、ドレイン 33、ゲート 34、ゲート絶縁層 35、基板 36 を備える。基板 36 の上にチャネル層 31 が形成される。チャネル層 31 には、ゲート絶縁層 35 が形成され、ゲート絶縁層 35 の上には、ゲート 34 が形成される。ソース 32 及びドレイン 33 は、例えば、ゲート絶縁層 35 をマスクとする拡散又はイオン注入等により、形成されることができる。また、この実施例の変形としてゲート 34 のサイズを適宜設定することにより、ゲート絶縁層 35 を省略することもできる。

【0041】

これらの構成においても、第 1 及び第 2 の実施の形態で説明したように、チャネル層 21 の薄膜材料と、基板 26 又はゲート絶縁層 35 との材料は、両者の格子定数が整合するように、適宜の組み合わせを用いることができる。さらに、第 2 の実施の形態で説明したように、チャネル層 31 の薄膜材料及び不純物のドーピング量に応じて、チャネル層 31 と基板 36 との間には、緩衝層をさらに備えることができる。

なお、上述の第 3 及び第 4 の実施の形態において、特に言及してない場合、各構成要素の材料は、第 1 の及び第 2 の実施の形態で説明したものと同様の物質を

用いることができる。

【0042】

(4) 発光素子

図14に、本発明に係る半導体デバイスの第5の実施の形態の断面図を示す。この実施の形態は、レーザダイオード等の発光素子に関するもので、発光層41、p形半導体層42、n形半導体層43、第1及び第2の電極45及び電極46、基板47を備える。

【0043】

発光層41は、p形半導体42とn形半導体43に挟まれており、例えば、ドーピングしてないZnOを用いたり、(Mg, Zn)O及びZnOの極薄い厚さの多層膜で構成することができる。この場合、ZnOは井戸層と呼ばれ、(Mg, Zn)O層はバリア層と呼ばれるものである。また、井戸層のバンドギャップよりバリア層のバンドギャップが大きいものが用いられる。発光層41の他の材料例としては、(Zn, Cd)O及びZnOの多層構造、(Mg, Zn)O及び(Zn, Cd)Oの多層構造等を用いることができる。さらに、発光層41としては、多層反射膜や、ダブルヘテロ構造、面発光レーザ構造など、適宜の構成を採用して組み合わせることもできる。

【0044】

これらp形半導体42及びn形半導体43の材料のベースとしては、第1の実施の形態で述べた各材料を適宜用いることができる。p形半導体42としては、例えば、p形ZnO等のII族酸化物又はp形GaN、AlN、InGaN、AlInN等のIII族窒化物が使用される。p形ZnOの場合は、例えば、I族元素(Li, Na, K, Rb, Cs)、V族元素(N, P, As, Sb, Bi)をドーピングしたZnOである。また、n形半導体43としては、例えば、n形ZnO等のII族酸化物又はn形GaN、AlN等のIII族窒化物が使用される。n形ZnOの場合は、例えば、III族元素(B, Al, Ga, In, Tl)、VII族元素(F, Cl, Br, I)をドーピングしたZnOである。これらの各元素のドーピング量は、素子の寸法、厚さ、集積度、性能等に応じて適宜の量とすることができる。第2の電極(n型電極)46の材料は、例えば、第1の実施の形態で説明した、ソ

ース 12、ドレイン 13 又はゲート 14 の材料と同様のものが用いられる。第 1 の電極 (p 型電極) 45 としては、例えば、Au、Pt、Ni/Ti (多層構造) 等によるオーミック電極が用いられる。

【0045】

これらの構成においても、第 1 の実施の形態で説明したように、n 形半導体層 43 (基板 47 に接合される半導体層が p 形の場合は p 形半導体層) の薄膜材料と、基板 47 の材料は、両者の格子定数が整合するように、適宜の組み合わせを用いることができる。さらに、第 2 の実施の形態で説明したように、n 形半導体層 43 の薄膜材料及び不純物のドーピング量に応じて、n 形半導体層 43 と基板 47 との間に、緩衝層をさらに備えることができる。なお、p 形半導体 42、n 形半導体 43、発光層 41、基板 47 の全て又は一部に格子整合の良い材料の組合せを用いることで、高品質の半導体デバイスを製造することができる。

【0046】

なお、上述の第 5 の実施の形態において、特に言及していない場合、各構成要素の材料は、第 1 の及び第 2 の実施の形態で説明したものと同様の物質を用いることができる。また、透明な半導体を用いると、発光層から図の上面又は下面に向けても光を出射することができ、本発明を、面発光レーザやエレクトロルミネセンス素子等の発光素子等に多様に応用することができる。

【0047】

(5) 表面弾性波素子 SAW (Surface Acoustic Wave)

図 15 に、本発明に係る半導体デバイスの第 6 の実施の形態の構成図を示す。図 15 (A) には、SAW の斜視図を、図 15 (B) には、その B-B' 断面図をそれぞれ示す。

SAW は、基板 111、半導体層 112、入力電極 113 及び出力電極 114 を備える。SAW は、入力電極 113 から、高周波信号が入力されると、SAW のフィルタ特性により、適宜の信号が出力電極 114 から出力される半導体デバイスである。

【0048】

半導体層 112 は、絶縁性半導体であり、ベースとしては、第 1 の実施の形態

で述べた各材料を適宜用いることができる。半導体層 112 としては、例えば、ドーピングしない又は I 族元素又は III 族元素をドーピングした絶縁性 ZnO を用いることができる。なお、粒界を押さえるために不純物として、例えば、II Id 遷移金属 (Co, Ni 等) を少し添加してもよい。

これらの構成においても、第 1 及び第 2 の実施の形態で説明したように、半導体層 112 の薄膜材料と、基板 111、入力電極 113、出力電極 114 の材料とは、両者の格子定数が整合するように、適宜の組み合わせを用いることができる。

【0049】

(6) その他の応用

本発明は、各層の面が極めて平坦に形成することができるので、積層形半導体デバイスに適用する際に、非常に有効である。その際、各層と接合する層との格子定数の整合性を考慮して、上述の材料を適宜選択して積層することができる。さらに、複数の種類のトランジスタを選択して混合して積層しても良い。

【0050】

本発明は、SAW の他、光導波路、回折格子等の光集積回路、光デバイスに適用することもできる。また、本発明は、バリスタ、湿度センサ、温度センサ、ガスセンサ等の各種センサに応用することもできる。また、本発明は、メモリにも、応用することができる。なお、メモリに応用する際は、トランジスタ及びコンデンサをマトリクス状に配列し、各コンデンサを各トランジスタで駆動することにより、メモリデバイスを実現することができる。また、本発明は、トランジスタ、発光素子、コンデンサ等の適宜の素子を同一基板に作成することができる。その他、高品質の結晶が形成されることで、幅広い分野での半導体デバイスへの応用が可能である。

【0051】

なお、半導体デバイス及び各層の大きさ、厚さ、寸法、などは、用途やプロセス等に応じて適宜設計することができる。ドーパ量は、製造プロセス、デバイス性能等、必要に応じて適宜設定することができる。

また、n 形半導体、p 形半導体、導電性材料及び絶縁性材料として、半導体を

ZnOをベースとして各元素をドーブする例を述べたが、これに限られるものではない。また、第1及び第2の実施の形態では、基板上にチャネル層が形成される場合について説明したが、その他の実施の形態でも示されるように、基板上には、チャネル層以外にも、絶縁性若しくは導電性の半導体層、ドーブ無し若しくは有りの半導体層、又は、n形若しくはp形の半導体層を適宜形成することができる。

【0052】

【発明の効果】

本発明によると、ZnO等のII族酸化物、又は、GaN等のIII族窒化物等の薄膜材料と、格子整合の極めて良い酸化物結晶を基板として使用したことにより、薄膜材料の質を飛躍的に向上し、バルク単結晶に匹敵する高品質の薄膜を作成し、特性の優れた半導体デバイスを作成することができる。また、本発明によると、粒界がほとんど無く、粒サイズが大きく、格子面間隔のゆらぎも小さく、モザイクネスも極めて小さい、殆ど単結晶に近い高品質のZnO、GaN等の半導体薄膜を形成することができる。

【0053】

本発明によると、例えば、 ScAlMgO_4 (SCAM) 結晶等がZnOに対して格子不整合が小さいことから(約0.13%)、その基板上にほぼ単結晶のZnO薄膜を作製することができる。また、本発明によると、従来のようなサファイア基板等を用いた場合に比べて、SCAM基板上的ZnOは、電子移動度が高く、ZnO単結晶に近いものとすることができる。

また、本発明によると、透明半導体材料であるZnOと、透明高絶縁性のSCAM基板とを組み合わせることで、透明な半導体デバイスを作製できるとともに、ヘテロ構造デバイスの性能を著しく向上することができる。さらに、FET等における各電極材料、絶縁層等の適宜のものの一部又は全部について、透明な材料を用いるようにしても良い。

【0054】

また、本発明をトランジスタ等に適用すると、スイッチング速度を高速とすることができる。また、本発明を電界効果トランジスタ等に適用すると、電界を印

加したときの空乏層幅が広がるので、スイッチング用ゲート電圧が低くて済む。
また、本発明を、発光素子に適用すると、発光効率を向上することができる。

本発明によると、電界効果トランジスタやバイポーラトランジスタ、GaNベースの窒化物青色レーザを含む発光素子(LED、レーザ)、表面弾性波素子(SAW)、センサ等の各種電子デバイスに、適用することができ、それらの性能を向上させることができる。

【図面の簡単な説明】

【図1】

本発明に係る半導体デバイスの第1の実施の形態の断面図。

【図2】

チャンネル層に用いられる代表的な薄膜材料の一例とその格子定数を表す図。

【図3】

LnABO_4 についての格子定数とイオン半径との関係図。

【図4】

LnABO_4 を基本構造とする基板材料の一例とその格子定数を表す図。

【図5】

$\text{LnAO}_3(\text{BO})_n$ についての格子定数とイオン半径との関係図。

【図6】

本発明に係る半導体デバイスの第2の実施の形態の断面図。

【図7】

酸化亜鉛薄膜及び酸化亜鉛バルク単結晶の電気特性の比較説明図。

【図8】

酸化亜鉛薄膜及び酸化亜鉛バルク単結晶のX線逆格子マッピングの比較説明図。

【図9】

X線ロックアップカーブの半値幅の基板温度依存性についての比較説明図。

【図10】

薄膜表面の平坦さについての比較説明図。

【図11】

窒素濃度の基板温度依存性についての比較説明図。

【図 1 2】

本発明に係る半導体デバイスの第 3 の実施の形態の断面図。

【図 1 3】

本発明に係る半導体デバイスの第 4 の実施の形態の断面図。

【図 1 4】

本発明に係る半導体デバイスの第 5 の実施の形態の断面図。

【図 1 5】

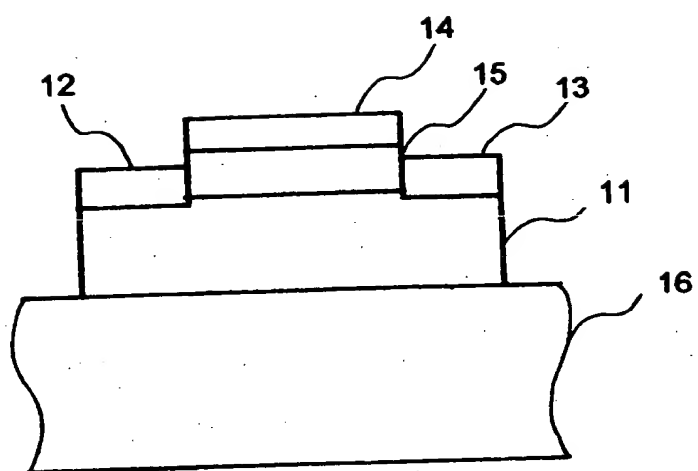
本発明に係る半導体デバイスの第 6 の実施の形態の構成図。

【符号の説明】

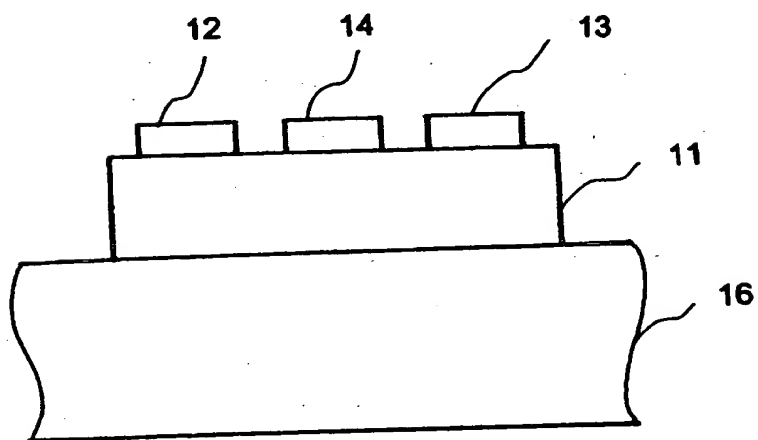
- 1 1 チャンネル層（半導体層）
- 1 2 ソース
- 1 3 ドレイン
- 1 4 ゲート
- 1 5 ゲート絶縁層
- 1 6 基板

【書類名】 図面

【図 1】



(A)

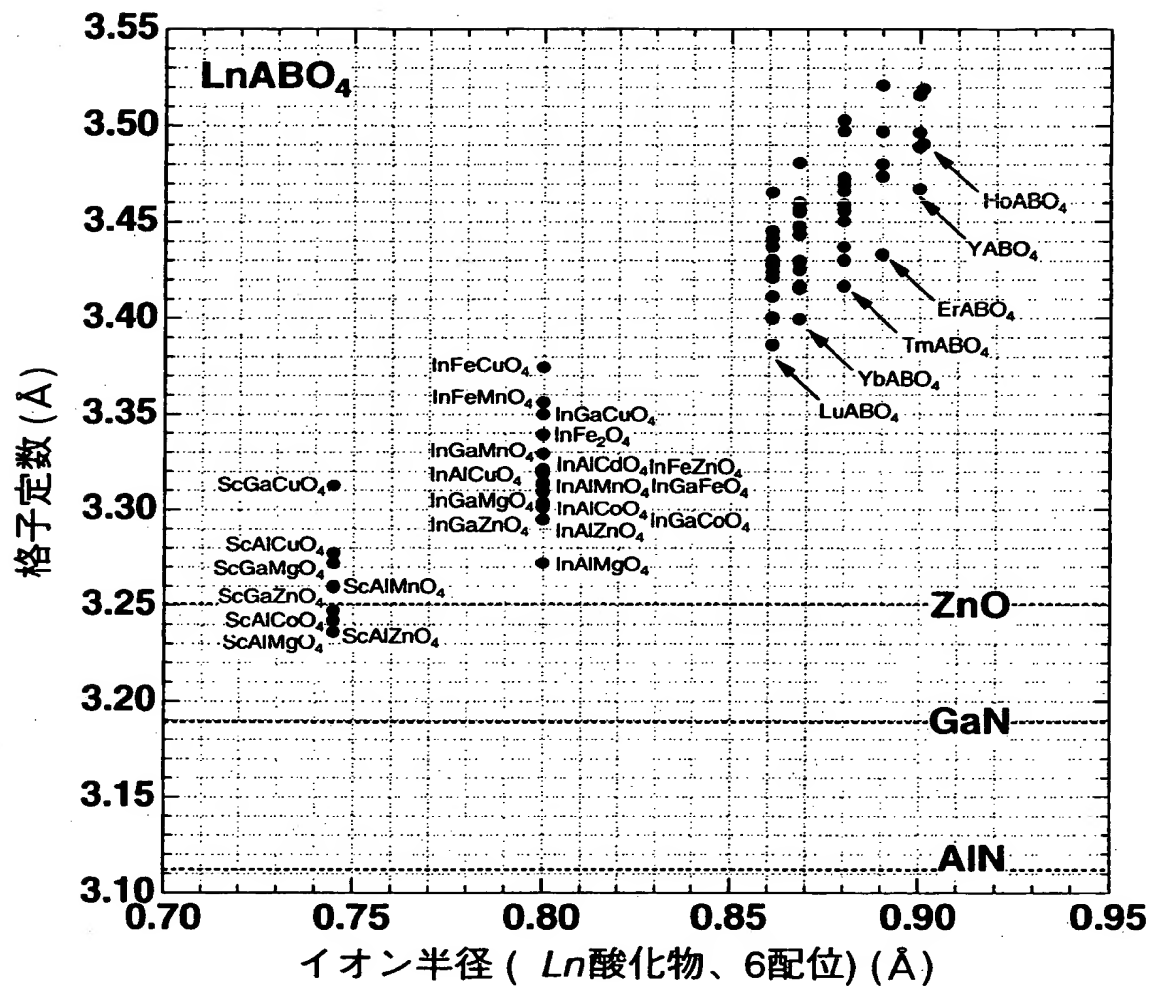


(B)

【図 2】

薄膜材料	格子定数 (Å)
Z n O	3. 2 4 9
A l N	3. 1 1 2
G a N	3. 1 8 9
I n N	5. 7 6

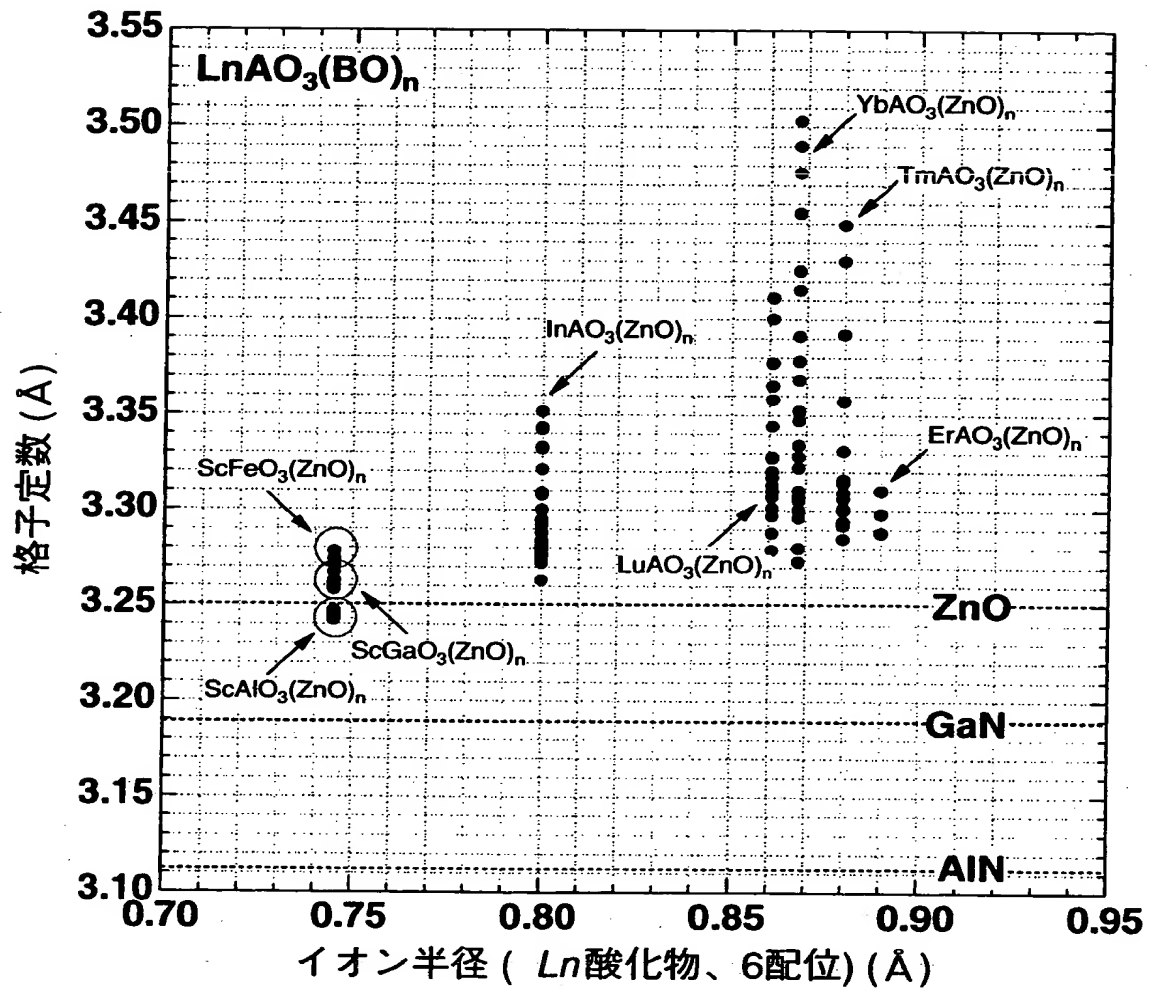
【図 3】



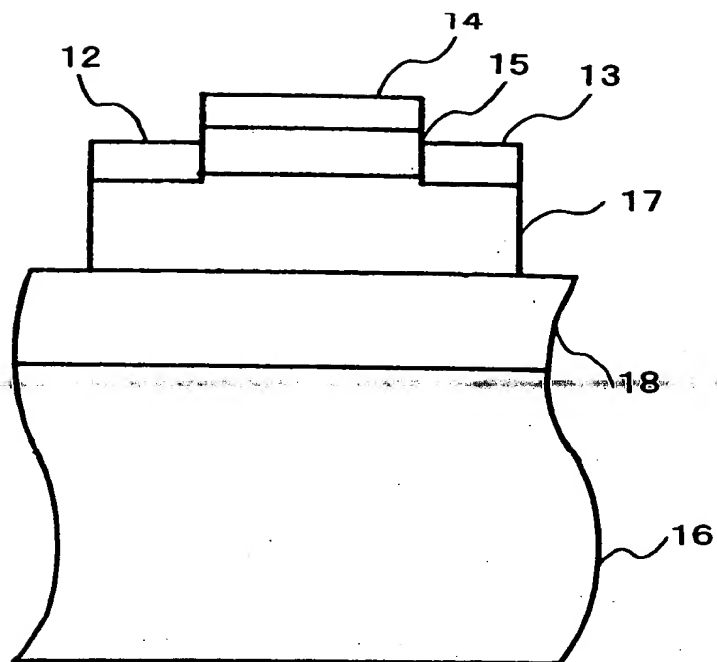
【図 4】

基板材料	格子定数 (Å)
ScAlMgO_4	3.236
ScAlZnO_4	3.242
ScAlCoO_4	3.247
ScAlMnO_4	3.260
ScGaZnO_4	3.259
ScGaMgO_4	3.272

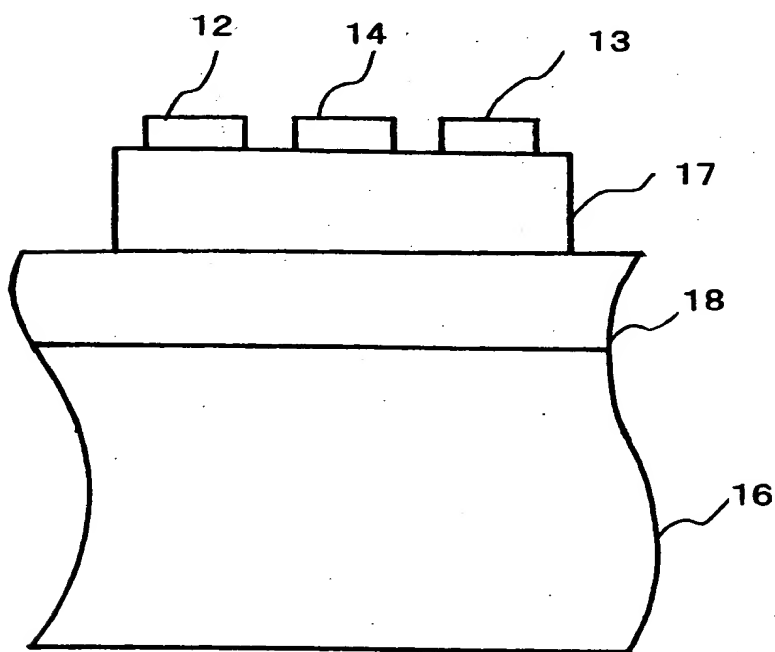
【図 5】



【図6】

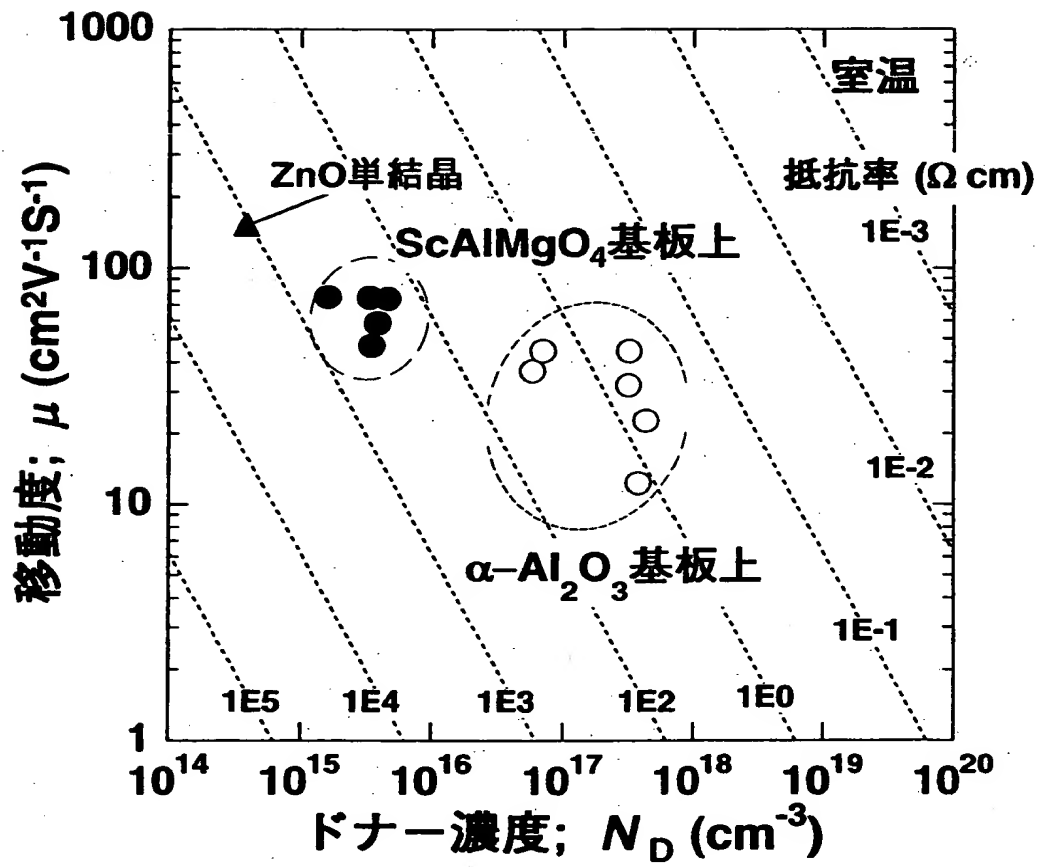


(A)

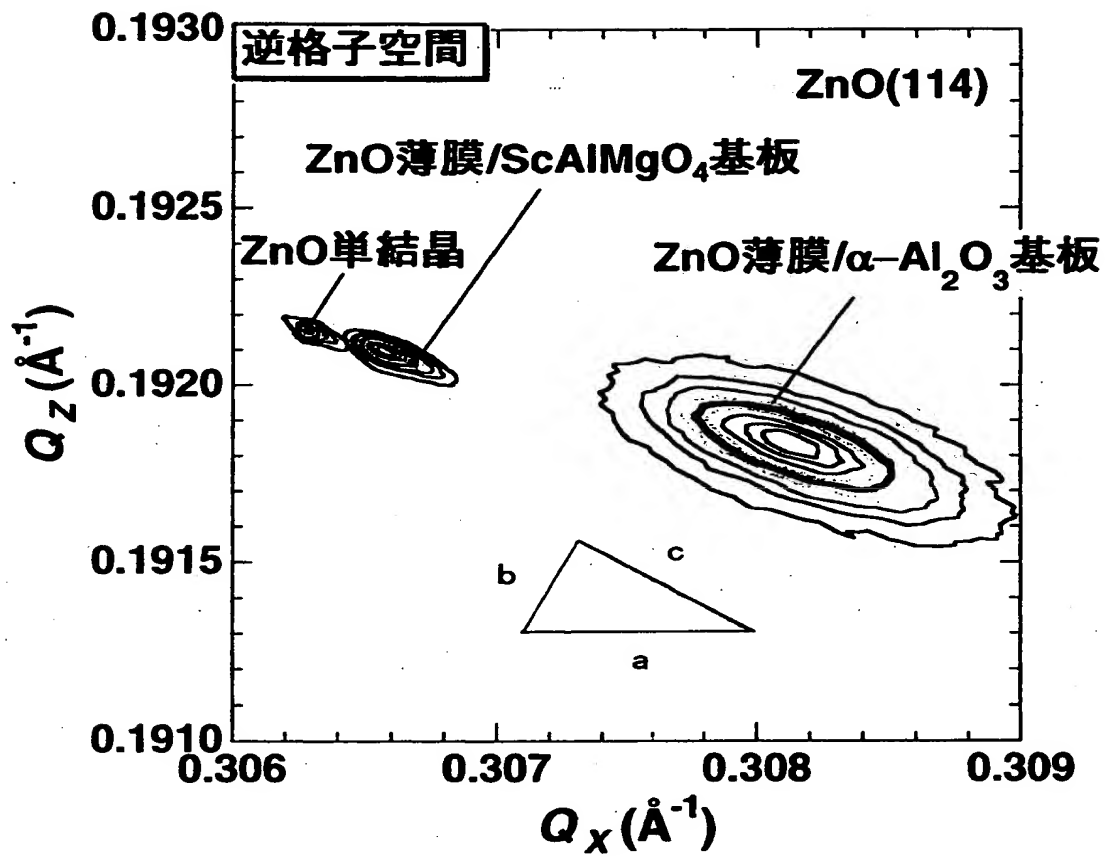


(B)

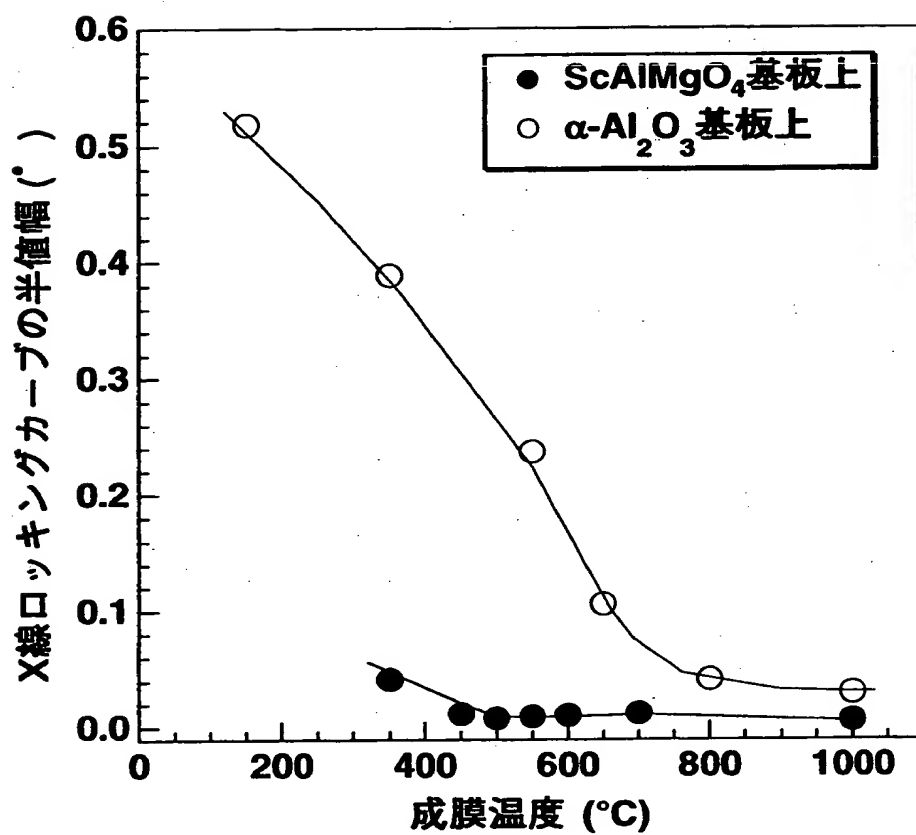
【図 7】



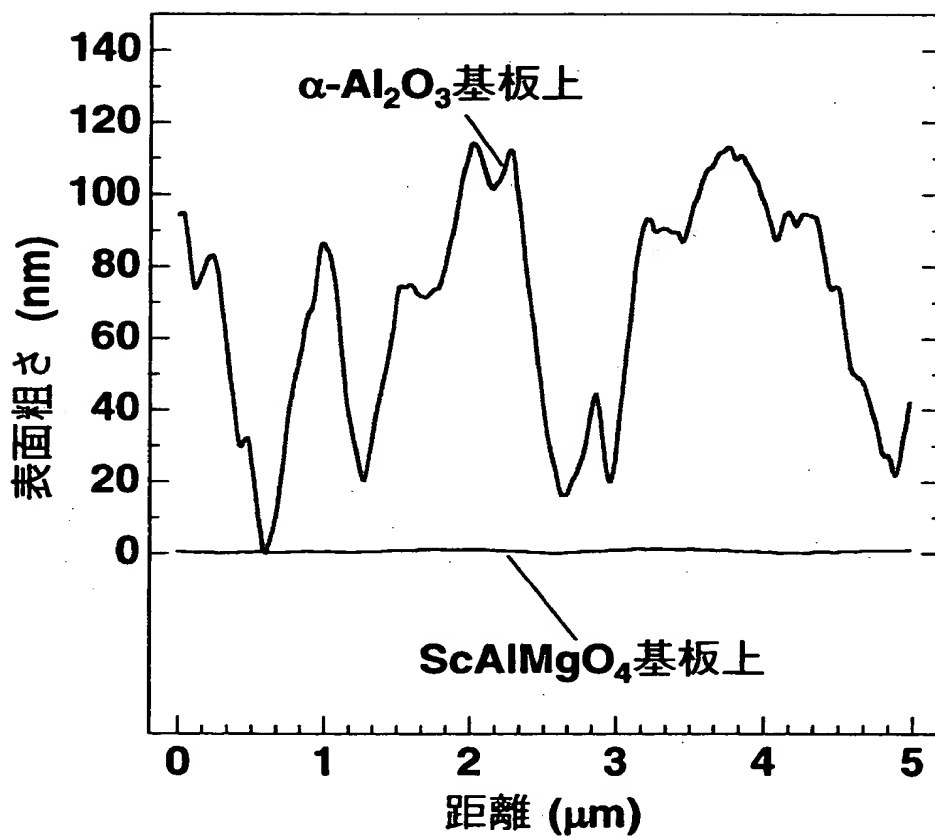
【図 8】



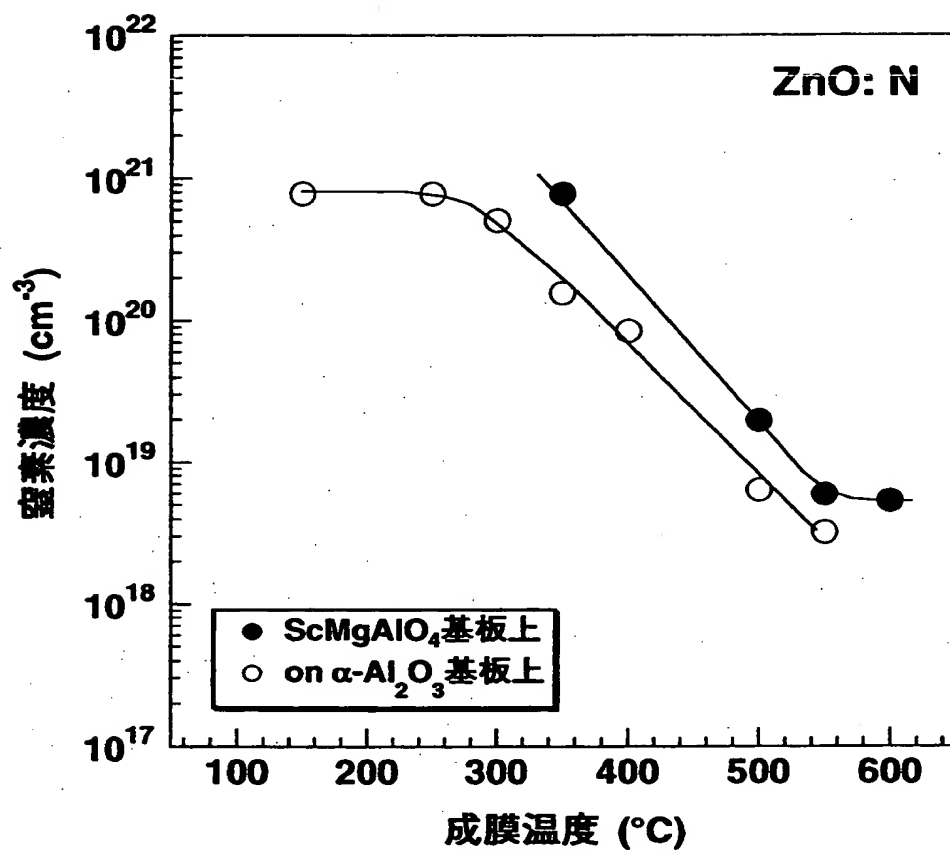
【図9】



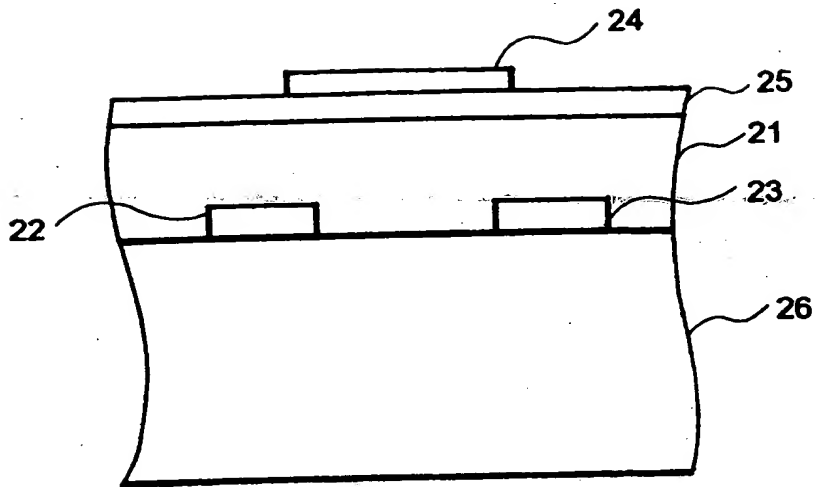
【図10】



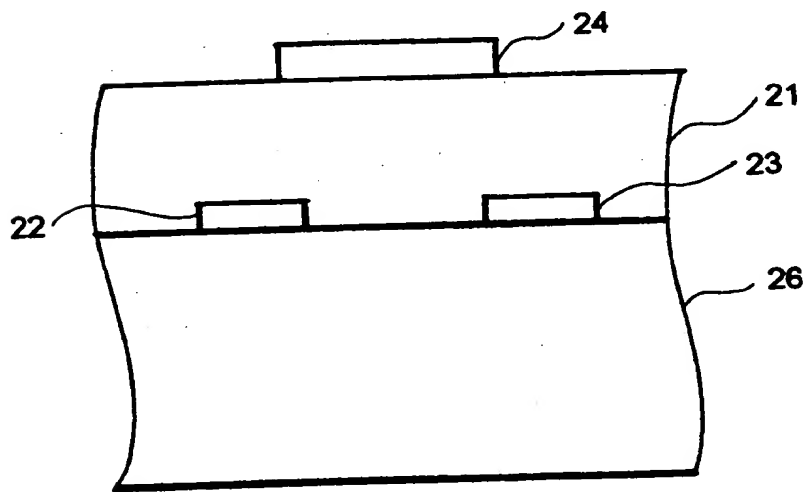
【図 11】



【図 12】

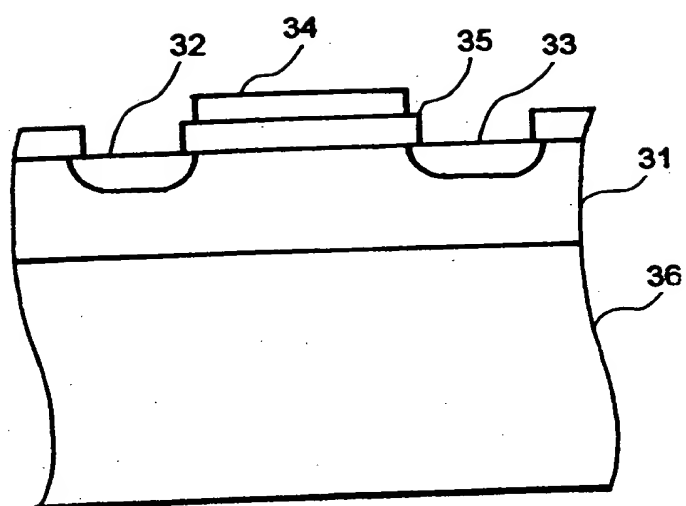


(A)

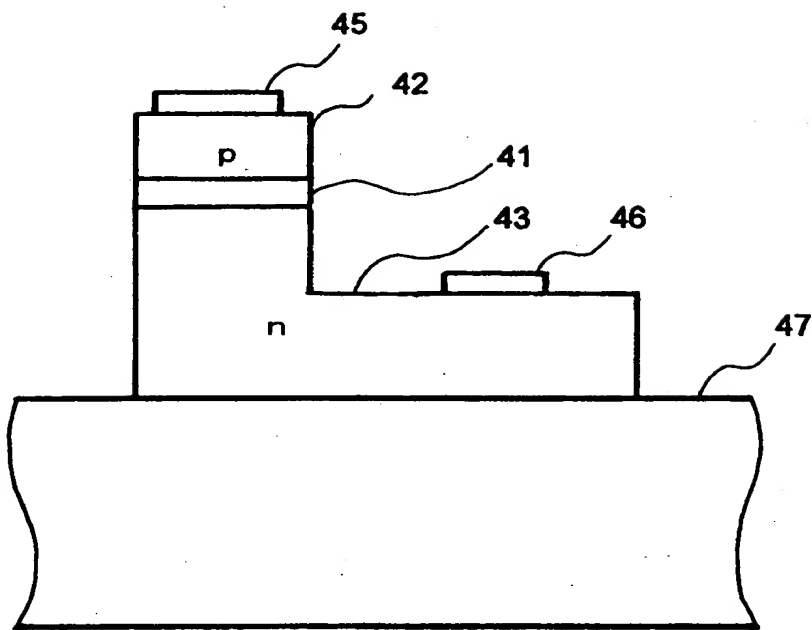


(B)

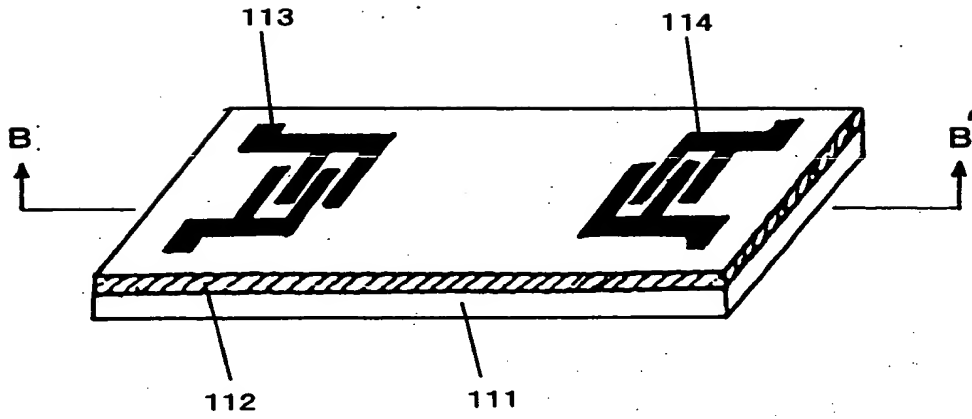
【図 13】



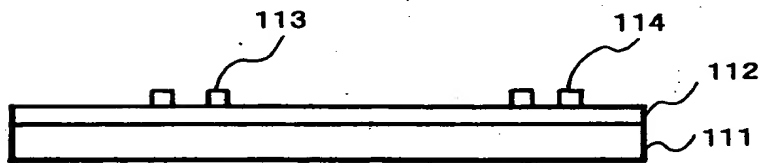
【図 1 4】



【図 1 5】



(A)



(B)

【書類名】 要約書

【要約】

【課題】 バルク単結晶に匹敵する高品質の薄膜を作成し、特性の優れた半導体デバイスを作成する。

【解決手段】 チャネル層 1 1 は、例えば、酸化亜鉛 ZnO 等の半導体で形成される。チャネル層 1 1 1 には、ソース 1 2、ドレイン 1 3、ゲート 1 4、ゲート絶縁層 1 5 が設けられ、FET が形成される。基板 1 6 は、チャネル層 1 1 の薄膜材料に応じて、両者の格子定数の整合性を考慮して適宜のものが選択される。例えば、チャネル層の半導体のベースを ZnO とすると、基板 1 6 は、 $ScAlMgO_4$ 等を用いることができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [396020800]

1. 変更年月日	1998年 2月24日
[変更理由]	名称変更
住 所	埼玉県川口市本町4丁目1番8号
氏 名	科学技術振興事業団

1. The first part of the document is a list of the names of the persons who have been named in the proceedings.

2.